

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 6 月 23 日 (23.06.2005)

PCT

(10) 国際公開番号  
**WO 2005/057530 A1**

(51) 国際特許分類<sup>7</sup>: **G09F 9/30**, G02F 1/1368,  
H01L 29/786, 21/3205, H05B 33/14

丸の内二丁目 6 番 1 号 日本ゼオン株式会社内 Tokyo  
(JP).

(21) 国際出願番号: PCT/JP2004/017557

(74) 代理人: 後藤 洋介, 外 (GOTO, Yosuke et al.); 〒  
1050003 東京都港区西新橋 1 丁目 4 番 10 号 第三  
森ビル Tokyo (JP).

(22) 国際出願日: 2004 年 11 月 26 日 (26.11.2004)

(25) 国際出願の言語: 日本語

(81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,  
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,  
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,  
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,  
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,  
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,  
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2003-400300  
2003 年 11 月 28 日 (28.11.2003) JP

(84) 指定国 (表示のない限り、全ての種類の広域保護が可  
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,  
SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,  
KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,  
IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE,  
SN, TD, TG).

(71) 出願人 (米国を除く全ての指定国について): 日本  
ゼオン株式会社 (ZEON CORPORATION) [JP/JP]; 〒  
1008323 東京都千代田区丸の内二丁目 6 番 1 号 Tokyo  
(JP).

(71) 出願人 および

(72) 発明者: 大見 忠弘 (OHMI, Tadahiro) [JP/JP];  
〒9800813 宮城県仙台市青葉区米ヶ袋 2 丁目  
1-17-301 Miyagi (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 森本 明大 (MO-  
RIMOTO, Akihiro). 鈴木 輝彦 (SUZUKI, Teruhiko)  
[JP/JP]; 〒1008323 東京都千代田区丸の内二丁目 6 番  
1 号 日本ゼオン株式会社内 Tokyo (JP). 加藤 文佳  
(KATO, Takeyoshi) [JP/JP]; 〒1008323 東京都千代田区

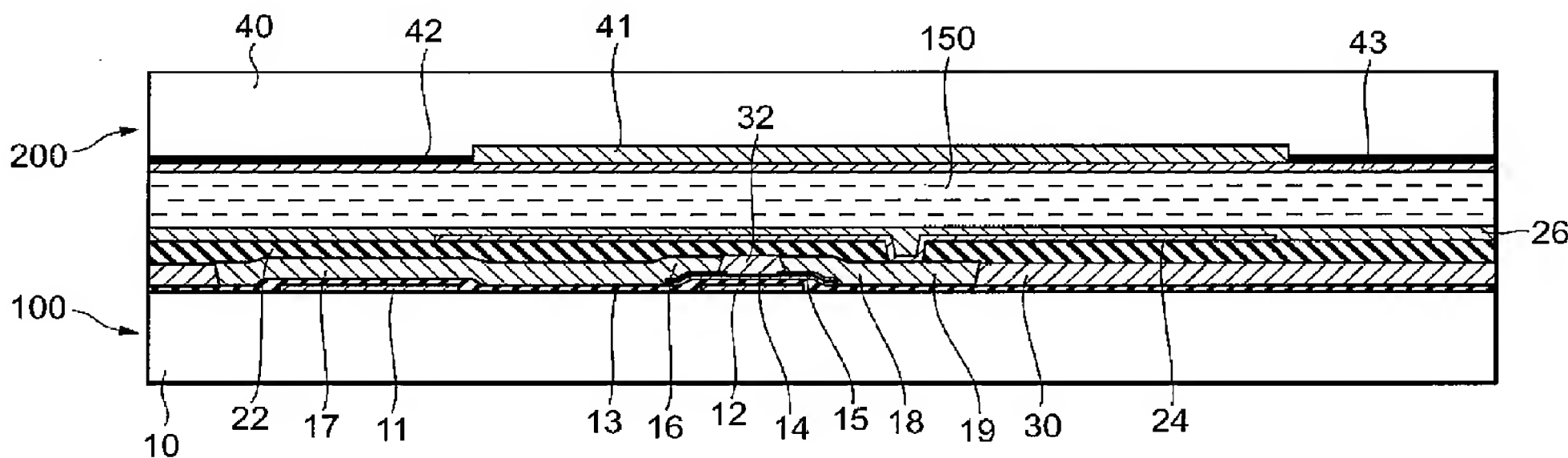
添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

(54) Title: THIN FILM TRANSISTOR INTEGRATED CIRCUIT DEVICE, ACTIVE MATRIX DISPLAY DEVICE, AND MAN-  
UFACTURING METHOD OF THE SAME

(54) 発明の名称: 薄膜トランジスタ集積回路装置、アクティブマトリクス表示装置及びそれらの製造方法



(57) Abstract: There is provided an active matrix display device including a flattening layer formed so as to surround a source  
electrode wiring, a drain electrode wiring, and a signal line, so that the source electrode wiring, the drain electrode wiring, and the  
signal line form substantially the same surface with the flattening layer.

(57) 要約: ソース電極配線、ドレイン電極配線、及び、信号線を囲むように、平坦化層を形成し、ソース電極配  
線、ドレイン電極配線、及び、信号線が実質上平坦化層と同一平面を形成するようにしたアクティブマトリクス表  
示装置。

WO 2005/057530 A1

## 明 細 書

### 薄膜トランジスタ集積回路装置、アクティブマトリクス表示装置及びそれらの製造方法

#### 技術分野

[0001] 本発明は薄膜トランジスタ集積回路装置に関し、また薄膜トランジスタ(TFT)を用いたアクティブマトリクス表示装置およびそれらの製造方法に関する。

#### 背景技術

[0002] 薄膜トランジスタ集積回路装置は、ガラスなどの絶縁体基板または少なくとも表面が絶縁体の基板上に、多数の薄膜トランジスタおよびこれらのトランジスタを相互接続したり、電源や入出力端子へ接続したりする配線層を単層または多層に配置して、マイクロプロセッサやシステムLSI(large scale integration)回路等を構成するものである。その実施態様のひとつにアクティブマトリクス液晶表示装置や有機EL(electroluminescence)表示装置などのアクティブマトリクス表示装置がある。アクティブマトリクス表示装置は、マトリクス状に配置された画素と、各画素に対応するようにマトリクス状に配置されスイッチング素子として用いられる薄膜トランジスタ(以下、TFTと略称する)と、行列のマトリクスを構成する行方向の線および列方向の線を基本的に有している。行方向の線は信号の書き込みタイミングを伝達する走査信号を各TFTのゲート電極に印加する走査線として使われ、列方向の線は表示画像に応じた信号をTFTスイッチを介して各画素に供給する信号線として使われる。従って信号線はTFTのソースまたはドレイン電極の一方に接続され、TFTのソースまたはドレイン電極の他方は画素電極に接続される。走査線からゲート電極に印加されるタイミング信号によってTFTスイッチはオンになって画素に信号を供給する。このようなアクティブマトリクス表示装置は、画素の種類に応じて、アクティブマトリクス液晶表示装置や有機EL表示装置等に分類される。走査線、信号線、TFTを含む基板全体はアクティブマトリクス基板とも呼ばれ、基板の表面に、減圧雰囲気における成膜やフォトリソグラフィなどのプロセスにより幾層もの回路パターンを形成し構成されている。表示装置のコスト低減の観点から、減圧雰囲気における、成膜工程やフォトリソグラフィ工

程の削減が検討されている。

- [0003] 特に、配線をスパッタにより成膜する工程は、全面に成膜した配線材料をフォトリソグラフィ法により加工し、配線部を形成するため、材料の大部分をエッチング除去してしまったり、膜厚の均一性を確保するために、基板面積にくらべ大きい材料ターゲットを使用したりするため、材料利用効率が著しく低く、アクティブマトリクス基板の製造コストを上昇する要因になっている。
- [0004] このような問題を解決するために、印刷法により必要な部位のみに配線を形成し材料の利用効率を高める手法が開発されている。例えば、特開2002-026014号公報(特許文献1)記載のようにインクジェット法を用いて、所定の場所に配線を形成する方法が開示されている。このような印刷法を用いることで、減圧工程を削減することができ、表示装置の製造コストを低減することができる。
- [0005] 一方、アクティブマトリクス表示装置において、スイッチング素子として動作するTFT素子は、ゲート電極が基板側に形成される逆スタガ型が広く用いられている。逆スタガ型TFTを用いた表示装置は特開2002-98994号公報(特許文献2)等に記載のように形成される。すなわち、特許文献2では、まず、ガラス基板上にゲート電極をフォトリソグラフィ法により形成し、その後、ゲート絶縁膜を形成する処理が行われる。次に、半導体層としてアモルファスシリコン層およびコンタクト層となる $n^+$ 型アモルファスシリコン層を積層する。ソース電極およびドレイン電極とコンタクトを形成する $n^+$ 型アモルファスシリコン層の分離は、スリットマスク等を用いて露光量を変調させ、現像後のレジスト厚みを調整してからエッチングするハーフトーン露光技術を用いることで行っている。以後、残存するフォトレジストを剥離し、チャネル部のパッシベーション膜形成がCVD(chemical vapor deposition)法により行われている。
- [0006] 特許文献1:特開2002-026014号公報  
特許文献2:特開2002-98994号公報  
特許文献3:特願2003-159315号明細書  
特許文献4:特開2002-324966号公報  
発明の開示  
発明が解決しようとする課題

- [0007] インクジェット法などの印刷法を用いて配線を形成しようとする場合、表示装置のように微細なパターンを描画する際、特許文献1に記載の如く、配線の形成が不要な部位に撥水膜を形成しておくことにより配線インクが所定の位置に収納され微細パターンを形成することができる。しかしながら、特許文献1は、配線以外の活性化領域を含むアクティブマトリクスTFTに対する応用については、全く示唆されていない。
- [0008] また、特許文献2はソース、ドレイン電極等の主要部分を形成した後、感光性アクリル系樹脂を塗布することによって、平坦化することを開示している。更に、特許文献2はハーフトーン法を用いてソース、ドレインのコンタクト部を形成する方法を開示している。
- [0009] しかしながら、特許文献2では、ソース、ドレイン電極配線を含む主要部分を平坦化することについては何等記述していない。また、特許文献2は、ディスプレイの大型化に伴う、信号線上での信号損失や遅延の発生について何等検討していない。このため、特許文献2では、画素に十分な信号が書き込めない問題が生じるものと予測される。
- [0010] この問題を解決するためには配線の幅を大きくするか、もしくは配線の厚さを厚くすることにより配線抵抗を減少せしめ、信号損失や遅延を小さくすることが考えられる。しかし配線幅を大きくすると、ディスプレイ全体に占める、表示に有効な部分の面積が減少し、輝度が低下する問題がある。一方、配線厚さを厚くする方法は、特許文献1に記載のように信号線上を平坦化層により覆うことによって、該平坦化層表面に段差が生じないようにすることが考えられる。しかしディスプレイサイズが大型化するにつれ配線の厚膜化には限界がある。
- [0011] 本発明者等は、特許文献3において、基板表面に透明膜を形成し、当該透明膜中に、配線部を選択的に埋設することにより、表面を平坦化する技術を提案した。この技術では、基板上に形成されるゲート配線の周辺を透明膜により囲むことによって、ゲート配線と透明膜との間の段差を無くすることができる。ここでは、透明膜はゲート配線による段差を吸収する平坦化層としての機能を有している。
- [0012] しかしながら、特許文献3は、ガラス基板の表面に直接形成されるゲート配線やゲート電極を透明膜に埋め込むことによって表面を平坦化することを企図しているだけ



で、当該平坦化された表面に形成されるTFTのソースおよびド레인部の表面を平坦化することについては開示していない。更に、特許文献3はソースおよびド레인電極、ソース配線、ド레인配線を平坦化することについては何等言及していない。

[0013] また、特許文献1〜3のいずれにおいても、ソース電極配線及びド레인電極と、それ以外の領域に生じる段差に起因する問題点について何等指摘していない。

#### 課題を解決するための手段

[0014] 本発明は、上記の問題に鑑みてなされたものであり、平坦な配線を備えた薄膜トランジスタ集積回路装置を提供することを目的とする。

[0015] 本発明の他の目的は平坦化された電極配線を有するアクティブマトリクス表示装置を提供することである。

[0016] 本発明の更に他の目的はインクジェット印刷などの印刷法、メッキ法を適用できる薄膜トランジスタの製造方法を提供することである。

[0017] 本発明の一態様によれば、絶縁性基板上に形成された複数の薄膜トランジスタと、これら薄膜トランジスタに接続する配線とを有する薄膜トランジスタ集積回路装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とする薄膜トランジスタ集積回路装置が得られる。ここで、前記配線はゲート配線、ソース配線及びド레인配線を含み、前記ゲート配線は少なくとも一つの前記薄膜トランジスタのゲート電極に接続され、前記ソース配線は少なくとも一つの前記薄膜トランジスタのソース電極に接続され、前記ド레인配線は少なくとも一つの前記薄膜トランジスタのド레인電極に接続され、前記平坦化層は前記ソース電極、前記ド레인電極、前記ソース配線及び前記ド레인配線を囲み、前記ソース電極、前記ド레인電極、前記ソース配線及び前記ド레인配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることによりよい。

[0018] 本発明の別の態様によれば、絶縁性基板上にマトリクス状に配置された複数の薄膜トランジスタと、これら薄膜トランジスタに接続する配線とを有するアクティブマトリクス表示装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とするアクティブマトリクス表示装置が得られる。ここで、前記配線はゲート配線、ソース配線及びド레인配

線を含み、前記ゲート配線は前記薄膜トランジスタのゲート電極に接続される走査線を構成し、前記ソース配線及び前記ドレイン配線は前記薄膜トランジスタのソース電極及びドレイン電極にそれぞれ接続され、前記ソース配線及び前記ドレイン配線の一方は前記薄膜トランジスタに信号を供給する信号線を構成するとともに他方は画素電極に接続され、前記平坦化層は前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線を囲み、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線の表面と前記平坦化層の表面とは実質的に同一平面を形成してよい。

- [0019] 本発明の更に他の態様によれば、絶縁性基板上にゲート電極およびゲート配線を形成する工程と、前記ゲート電極と前記ゲート配線とを覆うように絶縁膜を形成する工程と、該絶縁膜上に半導体層を選択的に形成する工程と、該半導体層上に平坦化層を形成する工程と、該平坦化層の一部を選択的に除去して前記半導体層に達する溝を形成する工程と、前記溝内に前記半導体層に達する配線部を前記配線部の表面と前記平坦化層の表面とが実質的に同一平面となるように形成する工程とを有することを特徴とする薄膜トランジスタ集積回路装置またはアクティブマトリクス表示装置の製造方法が得られる。ここで、前記配線部を形成する工程は配線形成補助層を形成する工程と配線材料を溝内に充填する工程とを含んでよく、前記配線形成補助層はリフトオフ層、触媒層、撥水層のいずれかであってよいが、撥水層が好ましい。撥水層は配線の形成が不要な部位に形成することにより配線材料が所定の位置に精度良く収納され、良好な微細パターンを形成することができる。また、リフトオフ層も、配線の形成が不要な部位に形成し、配線材料を全面的に塗布した後、該リフトオフ層を溶解や剥離する薬液で除去することにより、配線材料を所定の位置にのみ残すことができる。また、前記平坦化層が前記配線形成補助層を兼ねていてもよい。前記半導体層を選択的に形成する工程は、第1半導体の層を形成する工程と、前記第1半導体とは導電率の異なる第2半導体の層を前記第1半導体の層上に積層する工程と、第1半導体および第2半導体の積層膜上にフォトレジストを積層する工程と、前記フォトレジストのうち予め定められた素子領域上以外の部分の厚さ全体と該素子領域内のチャネルとなる領域上の部分の膜厚の一部とを除去する工程と、残余のフォ

レジストをマスクとして前記第1および第2半導体の積層膜のうち前記素子領域以外の部分および前記チャネルとなる領域上の前記第2半導体の層を選択的にエッチング除去する工程と、前記第1半導体の層のうち該チャネルとなる領域に選択的に保護膜を形成する工程とを含むことが好ましい。前記フォトリジストを除去する工程は、前記チャネルとなる領域上のフォトリジストの残存厚さが素子領域の他の部分上の残存膜厚に比べ薄くなるように露光量を調整して該フォトリジストを露光する工程と、露光された該フォトリジストを現像し素子領域部以外のフォトリジストを除去してパターン状のフォトリジストを得る工程とを含み、前記保護膜を形成する工程は、前記パターン状のフォトリジストのうち前記半導体の選択的除去工程を経て残存する部分をマスクとして用いることが好ましい。また前記保護膜は直接窒化法で形成することが出来る。

[0020] 従来提案されているアクティブマトリクス表示装置では、信号線、ソース電極及びドレイン電極の表面と、これらを囲む領域表面との間には、不可避免的に段差が生じる。表示装置の輝度を低下させずに、配線抵抗を減少させるには、配線の厚さを大きくすること(厚膜配線)が望ましいが、配線の厚さが大きくなると段差も増大する。本発明では、平坦化層が信号線、ソース電極及びドレイン電極を囲む領域に設けられて、信号線、ソース電極及びドレイン電極の表面とこれらを囲む領域表面との間の段差を吸収している。平坦化層を設けた場合にも、信号線、ソース電極及びドレイン電極と平坦化層との間には若干の残留段差が残る。本発明者等の研究によれば、残留段差は小さいほうが、上層の配線の断線、液晶の配向乱れ、有機EL素子の寿命劣化などの影響が少なく好ましいことが分った。具体的には、おおむね $1\mu\text{m}$ 以下が好ましく、 $0.5\mu\text{m}$ 以下がより好ましい。

[0021] したがって、本発明において実質的に同一平面とは信号線またはソースもしくはドレイン配線、ソース電極、およびドレイン電極の各表面と平坦化層表面との段差が $1\mu\text{m}$ 以下、好ましくは $0.5\mu\text{m}$ 以下のものを指す。

[0022] また、前記平坦化層は樹脂によって形成されていることが好ましく、当該樹脂はアクリル樹脂、シリコーン樹脂、フッ素樹脂、ポリイミド樹脂、ポリオレフィン樹脂、脂環式オレフィン樹脂、およびエポキシ樹脂からなる群から選ばれた樹脂が好ましい。なお、

脂環式オレフィン樹脂とは、脂環構造を有する樹脂をいう。また、平坦化層は感光性樹脂組成物によって形成されていても良いし、アルカリ可溶性脂環式オレフィン樹脂と感放射線成分とを含有する樹脂組成物を用いて形成されても良い。更に、前記平坦化層は無機物を含んでいてもよい。

[0023] さらに本発明では、信号線等の配線、ソース電極及びドレイン電極は有機物を含有しても良い。

[0024] また本発明の前記絶縁性基板はガラスまたはプラスチック材料によって形成されていてもよい。

[0025] 更に本発明の装置は、液晶表示装置、有機EL表示装置、CPU、及び、マイクロプロセッサのいずれかであってもよい。

[0026] 本発明の製造方法においては、前記配線材料を溝内に充填する工程はスパッタ法、CVD法、めっき法、印刷法のいずれかによって行われることが好ましく、前記印刷法においてはインクジェット印刷法あるいはスクリーン印刷法であることが充填位置の精度の観点から好ましい。

[0027] 本発明の装置によれば、配線およびソース電極ならびにドレイン電極の表面はこれらを囲む平坦化層と実質的に同一平面を形成しているため、平坦化層を信号線上に積層しなくても平坦な配線構造を得ることができ、容易に厚膜配線を得ることができる。さらに前記平坦化層が樹脂で構成されている場合、CVDなどの減圧工程を必要とせずに成膜できるため、装置の製造コストを低減することができる。

[0028] 更に、本発明の製造方法によれば、配線あるいはソース電極、ドレイン電極の形成にインクジェット印刷法やスクリーン印刷法などの印刷法、あるいはめっき法を用いることができるため、低コストに歩留まり良く表示装置を製造することができる。

[0029] また、本発明のアクティブマトリクス表示装置によれば、走査線およびゲート配線に起因する段差形状なく平坦な構造となっているため、表示素子の劣化の少ない良好な表示を得ることができる。

[0030] 本発明のアクティブマトリクス表示装置では、絶縁性基板上に少なくとも走査線と、信号線と、該走査線と該信号線の交差部付近に、該走査線にゲート電極が接続され、該信号線にソースあるいはドレイン電極が接続された薄膜トランジスタを有するアク



ティブマトリクス表示装置において、信号線およびソース電極ならびにドレイン電極の表面はこれらを囲む平坦化層と実質上同一平面を形成しているため、平坦化層を信号線上に積層しなくても平坦な配線構造を得ることができ、容易に厚膜配線を得ることができる。さらに前記平坦化層が樹脂で構成されている場合、CVDなどの減圧工程を必要とせずに成膜できるため、アクティブマトリクス表示装置の製造コストを低減することができる。

[0031] 一方、本発明のアクティブマトリクス表示装置の製造方法によれば、信号線あるいはソース電極、ドレイン電極の形成にインクジェット印刷法やスクリーン印刷法などの印刷法、あるいはメッキ法を用いることができるため、低コストに歩留まり良く表示装置を製造することができる。

[0032] 次に、本発明のアクティブマトリクス表示装置は、走査線およびゲート配線に起因する段差形状なく平坦な構造となっているため、表示素子の劣化の少ない良好な表示を得ることができると共に、画素電極をソース、ドレイン電極配線とオーバーラップさせることができ、画素電極を拡大できるという効果もある。

#### 図面の簡単な説明

[0033] [図1]図1は、本発明の実施例1に係るアクティブマトリクス液晶表示装置を説明する断面図である。

[図2]図2は、図1に示されたアクティブマトリクス液晶表示装置の製造方法(パート1)を工程順に説明するための断面図である。

[図3]図3(a)乃至(d)は、図1に示されたアクティブマトリクス液晶表示装置の製造方法(パート2)を工程順に説明するための断面図である。

[図4]図4は、図1に示されたアクティブマトリクス液晶表示装置の製造方法(パート3)を工程順に説明するための断面図である。

[図5]図5は、本発明の実施例2に係るアクティブマトリクス液晶表示装置を説明する断面図である。

[図6]図6(a)及び(b)は、図5に示されたアクティブマトリクス液晶表示装置の製造工程の一部を説明するための断面図である。

[図7]図7は、本発明の実施例3に係るアクティブマトリクス有機EL表示装置を説明す

る断面図である。

## 発明を実施するための最良の形態

[0034] 以下に図面を参照しながら実施例の説明をする。

### 実施例 1

[0035] 図1を参照して、本発明の実施例1に係るアクティブマトリクス液晶表示装置を説明する。図1は本実施例1に係るアクティブマトリクス液晶表示装置の断面を示す概略図であり、図示された液晶表示装置はアクティブマトリクス基板(以下、マトリクス基板と呼ぶ)100と当該マトリクス基板100に液晶150を介して対向して配置されたフィルタ基板200とを備えている。このうち、マトリクス基板100はガラス基板10、ガラス基板10上に設けられた走査線11、及び、当該走査線11に図示しない部分で接続するゲート電極12とを備えている。更に、走査線11及びゲート電極12上には、ゲート絶縁膜13が形成され、当該ゲート絶縁膜13の薄膜トランジスタ(TFT)形成領域には、第1の半導体層14及び第2の半導体層15が形成されている。これらのうち、第2の半導体層15は第1の半導体層14と導電率の異なる半導体によって形成され、分離領域を挟んで互いに離隔して設けられたソース領域及びド레인領域を規定している。

[0036] ソース領域上には、ソース電極16が形成されており、当該ソース電極16は信号線17と接続されている。他方、ド레인領域上には、ド레인電極18が形成されている。当該ド레인電極18はド레인配線19と接続されている。ここで、ゲート電極12はガラス基板10上に形成された走査線11と信号線17の交差部付近に設けられており、信号線17にソース電極16(あるいはド레인電極18)を接続することによって、TFTを形成している。

[0037] 更に、信号線17、ソース電極16、ド레인電極18およびド레인配線19を覆うように、層間絶縁膜22が形成されており、当該層間絶縁膜22上には、ド레인配線19に電氣的に接続された画素電極24が形成され、画素電極24及び層間絶縁膜22上には、配向膜26が形成され、これによって、アクティブマトリクス基板100が構成されている。

[0038] 他方、フィルタ基板200は対向ガラス基板40、カラーフィルタ41、ブラックマトリクス42、及び、配向膜43によって構成されている。フィルタ基板200の構成は通常使用

されているものと同様であるので、ここでは、説明を省略する。

[0039] 図1に示された本発明の実施例1に係る液晶表示装置は信号線17、ソース電極16、ドレイン配線19及びドレイン電極18の周辺を囲むように設けられた平坦化層30によって特徴付けられる。図示された例では、ソース領域とドレイン領域とを分離する分離領域(またはチャンネル領域)上にも、平坦化層32が形成されている。これら平坦化層30及び32は信号線17、ソース電極16、ドレイン配線19及びドレイン電極18と実質的に同一平面を形成している。

[0040] 図示された例では、平坦化層30及び32を形成することによって得られた平面上に、層間絶縁膜22を介して画素電極24が配置されている。平坦化層30及び32は、それらによって形成された溝に配線前駆体を充填し、配線を所定の位置に形成することができるため、配線形成補助層と呼ぶこともできる。

[0041] ここで、平坦化層30、32は無機物を含んでいても良いが、樹脂によって形成されていることが好ましい。平坦化層30、32を形成する樹脂としては、アクリル樹脂、シリコーン樹脂、フッ素樹脂、ポリイミド樹脂、ポリオレフィン樹脂、脂環式オレフィン樹脂、およびエポキシ樹脂からなる群から選ばれた樹脂を使用できる。また、平坦化層30、32を形成する樹脂は感光性樹脂組成物であっても良く、この場合、アルカリ可溶性脂環式オレフィン樹脂と感放射線成分とを含有する樹脂組成物を使用することが好ましい。更に、平坦化層30、32を形成する樹脂は透明或いは不透明なものを使用できる。尚、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19は有機物を含有していても良い。

[0042] 図2ー図4を参照して、本発明の実施例1に係るアクティブマトリクス液晶表示装置の製造方法を説明する。まず、図2(a)に示すように、フォトリソグラフィ法により、ガラス基板10上に、走査線及びゲート電極12が連続的に形成されている(ここでは、走査線に接続されたゲート電極12についてのみ図示する)。ゲート電極12の厚さ(従って走査線の配線厚さ)は $0.2\mu\text{m}$ とした。

[0043] 次に、図2(b)に示すように、マイクロ波励起プラズマを用いたプラズマCVD法により $\text{SiH}_4$ ガス、 $\text{H}_2$ ガス、 $\text{N}_2$ ガス、及びArガスを用いてシリコン窒化膜( $\text{SiN}_x$ 膜)をゲート絶縁膜13として成膜した。通常の高周波励起プラズマを用いても $\text{SiN}_x$ 膜は成膜できる

が、マイクロ波励起プラズマを用いることで、より低温でのSiN<sub>x</sub>膜の成膜が可能である。成膜温度は300℃とし、膜厚は0.2 μmとした。

[0044] 更に、マイクロ波励起プラズマを用いたプラズマCVD法により、第1の半導体層14としてアモルファスシリコン層、及び第2の半導体層15としてn<sup>+</sup>型アモルファスシリコン層を順次成膜した。アモルファスシリコン層14はSiH<sub>4</sub>ガスを用い、n<sup>+</sup>型アモルファスシリコン層15はSiH<sub>4</sub>ガスおよびPH<sub>3</sub>ガス、Arガスを用い、300℃の温度で成膜した(図2(c))。

[0045] 続いて、全面にポジ型フォトレジストをスピンコート法により塗布し、100℃で1分間、ホットプレート上で乾燥し溶剤を除去した。次に、g線ステッパを用いて、36mJ/cm<sup>2</sup>のエネルギードーズ量で露光を行った。露光の際、素子領域上にフォトレジストが残存するように非露光部を形成すると共に、素子領域内部に位置付けられるチャネル領域に相当する部分上のフォトレジストの膜厚が薄くなるように、スリットマスクを用いて、露光量を調整した。2.38%のTMAH溶液を用いてパドル現像70秒間を行った結果、図2(d)に示す形状のフォトレジスト膜35を得た。即ち、図2(d)に示すように、素子領域上で厚く、チャネル領域上で薄くなるようなフォトレジスト膜35が形成された。

[0046] 次に、プラズマエッチング装置を用いて、n<sup>+</sup>型アモルファスシリコン層15、アモルファスシリコン層14のエッチングを行った。この際、フォトレジスト膜35も若干エッチングされ、膜厚が減少するため、フォトレジスト膜35のうち、チャネル領域上の膜厚の薄いレジスト膜部分はエッチング除去され、n<sup>+</sup>型アモルファスシリコン層15もエッチングされる。ただしアモルファスシリコン層14はチャネル領域に残る。

[0047] 一方、素子領域部以外では、n<sup>+</sup>型アモルファスシリコン層15およびアモルファスシリコン層14の両方の膜全体がエッチング除去され、チャネル領域上のn<sup>+</sup>型アモルファスシリコン層15がエッチング除去された時点で、エッチング処理を終了すると、図3(a)に示された構造が得られた。この状態では、図3(a)からも明らかなように、ソース電極16およびド레인電極18をそれぞれその上に形成すべきn<sup>+</sup>型アモルファスシリコン層15の領域上には、フォトレジスト膜35が残されたままである。

[0048] 次に、この状態で、Arガス、N<sub>2</sub>ガス、及びH<sub>2</sub>ガスを用いて、マイクロ波励起プラズマ



処理を行い、チャンネル部のアモルファスシリコン14表面に直接、窒化膜36を形成する(図3(b))。一般的な高周波プラズマを用いても窒化膜36の形成は可能であるが、マイクロ波励起プラズマを用いることが望ましい。これは、電子温度が低いプラズマを生成できるため、チャンネル部にプラズマによるダメージを与えることなく窒化膜36を形成できるからである。また、CVD法により窒化膜36を形成することも可能であるが、CVD法を用いた場合、ソース電極およびド레인電極領域にも窒化膜が形成されるから、後でソース及びド레인電極領域上の窒化膜を除去する工程が必要になる。したがって、図示されているように、Arガス、N<sub>2</sub>ガス、及びH<sub>2</sub>ガスを用いて、マイクロ波励起プラズマ処理を行うことにより、直接窒化膜36を形成するのがより好ましい。この際に、図示のように、素子領域の端部においてアモルファスシリコン層14および15の側面にも直接窒化膜36が形成される。

[0049] 次に、ソース電極領域及びド레인電極領域上に残存するフォトレジスト膜35(図3(b))を、酸素プラズマアッシングを施した後、レジスト剥離液などにより除去することにより、図3(c)のような形状を得る。

[0050] 続いて、感光性透明樹脂膜前駆体(感光性樹脂組成物)を塗布し、図1に示された信号線17、ソース電極16、ド레인電極18及びド레인配線19を形成するためのフォトマスクを用いて、露光、現像、ポストバークを行うことにより、図3(d)に示すように、透明樹脂によって形成された配線形成補助層32をチャンネル領域上からソース・ド레인電極領域のチャンネル領域側の端部上にかけて形成する。このとき、図1に示すように、信号線17、ソース電極16、ド레인電極18及びド레인配線19を囲むべき領域にも、配線形成補助層30が形成される。これら配線形成補助層30及び32の形成によって、配線形成補助層30及び32に取り囲まれて、図3(d)に示されているように、信号線17、ソース電極16、ド레인電極18及びド레인配線19が形成されるべき領域に、溝38が残される。上記したことから明らかな通り、図示された例では、配線形成補助層30及び32として、透明な感光性樹脂組成物が使用されている。

[0051] これらの溝38には、信号線17、ソース電極16、ド레인電極18及びド레인配線19をインクジェット印刷法などの印刷法やめっき法で形成することができる。

[0052] 配線幅が微細である場合は、精度を高めるために、透明樹脂層(配線形成補助層)

30、32の表面に撥水性を持たせる処理を行ってもよい。具体的には、 $\text{NF}_3$ などのフッ素系ガスを用いたプラズマを用いて表面をフッ素処理したり、樹脂のポストバーク前にフッ素系シリル化剤を樹脂前駆体に含浸したりすることなどを例としてあげることが出来る。次に、インクジェット印刷法などの印刷法やめっき法により、前記溝38に配線前駆体を充填する。配線形成方法はインクの効率的な使用の観点からインクジェット法が好ましいが、スクリーン印刷法などを用いてもよい。本実施例では配線前駆体として特許文献4(特開2002-324966号公報)に開示されるものと同様の銀ペーストインクを用いて配線を形成した。この場合、配線前駆体を充填後、250度の温度で30分間焼成を行い、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19を形成した(図4および図1)。

[0053] このようにして、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19の表面が配線形成補助層30、32の表面と実質的に同一平面を形成しているTFTが形成された。

[0054] 次に、実質的に同一平面を形成する信号線17、ソース電極16、ドレイン電極18、ドレイン配線19、配線形成補助層30、32上に層間絶縁膜22(図1参照)を成膜した。この層間絶縁膜22としては、配線形成補助層30、32と同様に、感光性透明樹脂を使用することができる。このように、感光性透明樹脂を層間絶縁膜22として成膜した場合、当該感光性透明樹脂を露光、現像を行うことで、画素電極24からTFT電極(ここでは、ドレイン配線19)へのコンタクトホールを形成することができる。これに引き続き、露出した表面全面に、ITO(indium tin oxide)をスパッタ成膜し、パターニングすることで画素電極24とした。尚、ITOの代わりに $\text{SnO}_2$ などの透明導電膜材料を用いてもよい。この表面に液晶の配向膜26としてポリイミド膜を形成し、対向するフィルタ基板200との間に液晶150を挟持することで、アクティブマトリクス液晶表示装置を得た。

[0055] 本実施例1に係るアクティブマトリクス液晶表示装置によれば、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19が平坦化層30、32と実質的に同一平面を形成しているため、液晶の配向乱れの少ない高品質な表示を得ることができた。

## 実施例 2

- [0056] 図5を参照して、本発明の実施例2に係るアクティブマトリクス液晶表示装置を説明する。図5において、図1に示された液晶表示装置と対応する部分は同一の参照番号によってあらわされている。図5に示されたアクティブマトリクス液晶表示装置では、ガラス基板10上に形成された走査線11及びゲート電極12が絶縁膜45内に埋設されている点で図1に示された液晶表示装置と相違しており、この結果、走査線11、ゲート電極12及び絶縁膜45も実質的に同一平面を形成しており、ゲート絶縁膜13はこの平坦化された表面に一様に形成されている。
- [0057] 図5においても、走査線11と信号線17との交差部付近の走査線11にゲート電極12が接続(図示せず)されており、ゲート絶縁膜13上の信号線17にソースまたはドレイン電極16または18が接続され、これによって薄膜トランジスタ(TFT)への配線接続を形成している。
- [0058] 更に、図1と同様に、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19を囲むように平坦化層30、32が形成され、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19と平坦化層30、32とは実質的に同一平面を形成している。この平面上に層間絶縁膜22を介して画素電極24が配置され、アクティブマトリクス基板を構成し、フィルタ基板200との間で液晶150を挟持して、液晶表示装置を構成している。尚、図5においても、ソース領域とドレイン領域とを分離する分離領域にも、平坦化層32が形成されているが、この分離領域における段差は他の部分における段差よりも0.1から0.2  $\mu\text{m}$ と低いため、平坦化層32は必ずしも設け無くても良い。
- [0059] 本実施例2では、走査線11及びゲート電極12を埋め込み配線としている。この配線はインクジェット法によって形成することができる。ここでは、図6を参照して、ゲート電極12(およびそれに連続する走査線等の配線)の形成方法を説明する。まず、ガラス基板10の表面に、1  $\mu\text{m}$ の厚さの感光性を有する感光性透明樹脂膜を、上記した絶縁膜45としてスピンコート法等の手法により形成する。絶縁膜45として、感光性透明樹脂膜を使用した場合、当該感光性透明樹脂膜をフォトリソ膜として利用することができる。次に、感光性透明樹脂膜(即ち、絶縁膜45)を活性放射線を用いて選択的に露光、現像および除去、ポストバークをすることにより、図6(a)に示すように感光性透明樹脂膜に溝52を形成する。配線幅が微細である場合は、印刷精度を高

めるために、前記感光性透明樹脂膜の表面に撥水性を持たせる処理を行ってもよい。具体的には、 $\text{NF}_3$ などのフッ素系ガスのプラズマを用いて表面をフッ素処理したり、樹脂のポストバーク前にフッ素系シリル化剤を樹脂前駆体に含浸したりすることなどが例示される。

[0060] 次に、インクジェット印刷法などの印刷法やめっき法により、前記溝部に配線前駆体を充填する。配線形成方法はインクの効率的な使用の観点からインクジェット法が好ましいが、スクリーン印刷法などを用いてもよい。本実施例では配線前駆体として特許文献2に開示されるものと同様の銀ペーストインクを用いて配線を形成した。配線前駆体を充填後250度の温度で30分間焼成を行い、走査線およびゲート電極とした(図6(b))。

[0061] 以降、実施例1に記載の方法と同様の方法で、アクティブマトリクス液晶表示装置を完成した。

[0062] この実施例2は、走査線11及びゲート電極12に起因する段差をなくし、平坦化した構造を有しているため、液晶150の配向不良の少ない良好な表示を得ることができた。更に、ゲート電極12が絶縁膜45(図6では感光性透明樹脂膜)と実質的に同一平面を形成しているため、ゲート絶縁膜13に段差が生じず、製造歩留まりの劣化や絶縁不良の少ない良好なTFTを形成することができた。

### 実施例 3

[0063] 本発明の実施例3では、実施例1および2に用いた手法と同様の手法により、アクティブマトリクス有機EL表示装置を形成した。図7は形成した有機EL表示装置の構造を示す断面図であり、説明の都合上、図1及び図5と同等な機能を有する部分は同一の参照番号で示されている。図7に示された有機EL表示装置は、ガラス基板10上に形成された走査線11とゲート電極12とを備え、図示された走査線11及びゲート電極12は、図5と同様に、絶縁膜45内に埋設されている。この絶縁膜45としては、図6を参照して説明したように、透明感光性樹脂を使用することができる。

[0064] 更に、図示された例では、平坦な表面を形成する走査線11、ゲート電極12、及び絶縁膜45上に、ゲート絶縁膜13が形成されると共に、第1及び第2の半導体層14及び15、ソース及びドレイン電極16、18、ドレイン配線19並びに信号線17がゲート絶



縁膜13上に形成されている。

- [0065] 図示された有機EL表示装置は、信号線17に接続されたソース電極16 (ドレイン電極18でもよい。その場合はソース電極がソース配線を介して画素電極に接続される) を有する薄膜トランジスタを含んでいる。図示された例においても、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19を囲むように平坦化層30、32が形成され、これら信号線17、ソース電極16、ドレイン電極18及びドレイン配線19と平坦化層30、32とは実質的に同一平面を形成している。この平面上に、層間絶縁膜22を介してITOからなる画素電極24が配置され、画素電極24と対向電極60との間で、有機EL層62を挟持することによって、アクティブマトリクス有機EL表示装置が構成されている。図示された例では、対向電極60は保護膜64によって覆われている。
- [0066] 画素電極24の形成までは、実施例1および実施例2と同様であるため、ここでは、有機EL層62を形成する方法について主に説明する。画素電極24の形成方法について概略説明しておく、走査線11、ゲート電極配線12、絶縁膜45は実質的に同一平面を構成すると共に、信号線17及びソース、ドレイン電極配線16、18もそれぞれ平坦化層30及び32と実質的に同一な平面を形成しているため、画素電極24の面に段差の無い平坦な基板を得ることができた。
- [0067] 有機EL層62は、ホール輸送層66、発光層67、電子輸送層68を含み、その構成については、特に限定はされず、公知の材料のいずれを使用しても、本発明の作用・効果が得られる。ここで、ホール輸送層66は、発光層67へのホールの移動を効率よく行うとともに、対向電極60からの電子が発光層67を超えて透明導電性電極側へ移動するのを抑制し、発光層67における電子とホールとの再結合効率を高める役割を有するものである。ホール輸送層66を構成する材料としては、特に限定されないが、たとえば1, 1-ビス(4-ジ-*p*-アミノフェニル)シクロヘキサン、ガルバゾールおよびその誘導体、トリフェニルアミンおよびその誘導体などを使用することができる。発光層67は、特に限定されないが、ドーパントを含有したキノリノールアルミニウム錯体、DPViビフェニルなどを使用することができる。用途に応じて、赤、緑、青の発光体を積層して用いてもよく、また、表示装置などにおいては、赤、緑、青の発光体をマトリクス状に配置して用いても良い。電子輸送層68としては、シロール誘導体、シクロペ

ンタジエン誘導体等を使用できる。

[0068] 本実施例3においては、ITO画素電極24の上に蒸着法によりホール輸送層66、発光層67、電子輸送層68を順次積層した。次に、Alを蒸着法により成膜し、対向電極60とした。次に、プラズマCVD法により、SiN<sub>x</sub>膜を堆積し保護膜64とした。

[0069] 画素電極24の材料、対向電極60の材料、保護膜64の材料は上記に限られることなく、仕事関数などを考慮の上、有機EL表示装置の性能を十分に発揮する材料であればよい。このようにして、本実施例3のアクティブマトリクス有機EL表示装置が完成される。この構成では、走査線11及びゲート電極12に段差がなく、信号線17、ソース電極16、ドレイン電極18及びドレイン配線19の段差に起因する段差も有機EL層62に発生せず平坦な構造となっているため、有機EL層での電界の局所集中などを緩和でき発光寿命の長い表示装置を得ることができた。更に、ゲート電極12が透明樹脂によって形成される絶縁膜45と実質的に同一平面を形成しているため、ゲート絶縁膜13に段差が生じず、製造歩留まりの劣化や絶縁不良の少ない良好なTFTを形成することができた。本実施例3ではボトムエミッション型の有機EL表示装置を構成したが、トップエミッション型でも同様の効果を得ることができ、また、有機EL層62の構成順序を任意に変更しても同様の効果を得ることができる。本実施例では有機EL層62の形成方法として蒸着法を用いたが、材料の特性に合わせてインクジェット法などの印刷法で形成しても本発明の効果が得られる。

#### 産業上の利用可能性

[0070] 本発明はTFTを含むアクティブマトリクス液晶表示装置、アクティブマトリクス有機EL表示装置等に適用することができ、特に、大型化が要求される表示装置を構成できる。更に本発明は、アクティブマトリクス表示装置に限らず、薄膜トランジスタを用いてCPU、マイクロプロセッサ、システムLSI等を構成する薄膜トランジスタ集積回路装置一般にも適用することができる。

### 請求の範囲

- [1] 絶縁性基板上にマトリックス状に配置された複数の薄膜トランジスタと、これら薄膜トランジスタに接続する配線とを有するアクティブマトリクス表示装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とするアクティブマトリクス表示装置。
- [2] 請求項1に記載のアクティブマトリクス表示装置において、前記配線はゲート配線、ソース配線及びドレイン配線を含み、前記ゲート配線は前記薄膜トランジスタのゲート電極に接続される走査線を構成し、前記ソース配線及び前記ドレイン配線は前記薄膜トランジスタのソース電極及びドレイン電極にそれぞれ接続され、前記ソース配線及び前記ドレイン配線の一方は前記薄膜トランジスタに信号を供給する信号線を構成するとともに他方は画素電極に接続され、前記平坦化層は前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線を囲み、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とするアクティブマトリクス表示装置。
- [3] 請求項1又は2に記載のアクティブマトリクス表示装置において、前記平坦化層は樹脂によって形成されていることを特徴とするアクティブマトリクス表示装置。
- [4] 請求項3に記載のアクティブマトリクス表示装置において、前記平坦化層は感光性樹脂組成物によって形成されていることを特徴とするアクティブマトリクス表示装置。
- [5] 請求項1に記載のアクティブマトリクス表示装置において、前記平坦化層は無機物を含んでいることを特徴とするアクティブマトリクス表示装置。
- [6] 請求項1に記載のアクティブマトリクス表示装置において、前記平坦化層はアルカリ可溶性脂環式オレフィン樹脂と感放射線成分とを含有する樹脂組成物を用いて形成されていることを特徴とするアクティブマトリクス表示装置。
- [7] 請求項1に記載のアクティブマトリクス表示装置において、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線はいずれも有機物を含有していることを特徴とするアクティブマトリクス表示装置。
- [8] 請求項1に記載のアクティブマトリクス表示装置において、前記絶縁性基板は透明材料によって形成されていることを特徴とするアクティブマトリクス表示装置。

- [9] 請求項1に記載のアクティブマトリクス表示装置において、前記絶縁性基板は表面が絶縁物によって被覆された基板であることを特徴とするアクティブマトリクス表示装置。
- [10] 前記表示装置は液晶表示装置であることを特徴とする請求項1に記載のアクティブマトリクス表示装置。
- [11] 前記表示装置は有機EL表示装置であることを特徴とする請求項1に記載のアクティブマトリクス表示装置。
- [12] 絶縁性基板上にゲート電極およびゲート配線を形成する工程と、前記ゲート電極と前記ゲート配線とを覆うように絶縁膜を形成する工程と、該絶縁膜上に半導体層を選択的に形成する工程と、該半導体層上に平坦化層を形成する工程と、該平坦化層の一部を選択的に除去して前記半導体層に達する溝を形成する工程と、前記溝内に前記半導体層に達する配線部を前記配線部の表面と前記平坦化層の表面とが実質的に同一平面となるように形成する工程とを有することを特徴とするアクティブマトリクス表示装置の製造方法。
- [13] 請求項12に記載のアクティブマトリクス表示装置の製造方法において、前記配線部を形成する工程は配線形成補助層を形成する工程と配線材料を溝内に充填する工程とを含むことを特徴とするアクティブマトリクス表示装置の製造方法。
- [14] 前記配線形成補助層はリフトオフ層、触媒層、撥水層のいずれかであることを特徴とする請求項13に記載のアクティブマトリクス表示装置の製造方法。
- [15] 前記平坦化層が前記配線形成補助層を兼ねていることを特徴とする請求項13に記載のアクティブマトリクス表示装置の製造方法。
- [16] 請求項12に記載のアクティブマトリクス表示装置の製造方法において、前記半導体層を選択的に形成する工程は、第1半導体の層を形成する工程と、前記第1半導体とは導電率の異なる第2半導体の層を前記第1半導体の層上に積層する工程と、第1半導体および第2半導体の積層膜上にフォトレジストを積層する工程と、前記フォトレジストのうち予め定められた素子領域上以外の部分の厚さ全体と該素子領域内のチャンネルとなる領域上の部分の膜厚の一部とを除去する工程と、残余のフォトレジストをマスクとして前記第1および第2半導体の積層膜のうち前記素子領域以外の部



分および前記チャネルとなる領域上の前記第2半導体の層を選択的にエッチング除去する工程と、前記第1半導体の層のうち該チャネルとなる領域に選択的に保護膜を形成する工程とを含むことを特徴とするアクティブマトリクス表示装置の製造方法。

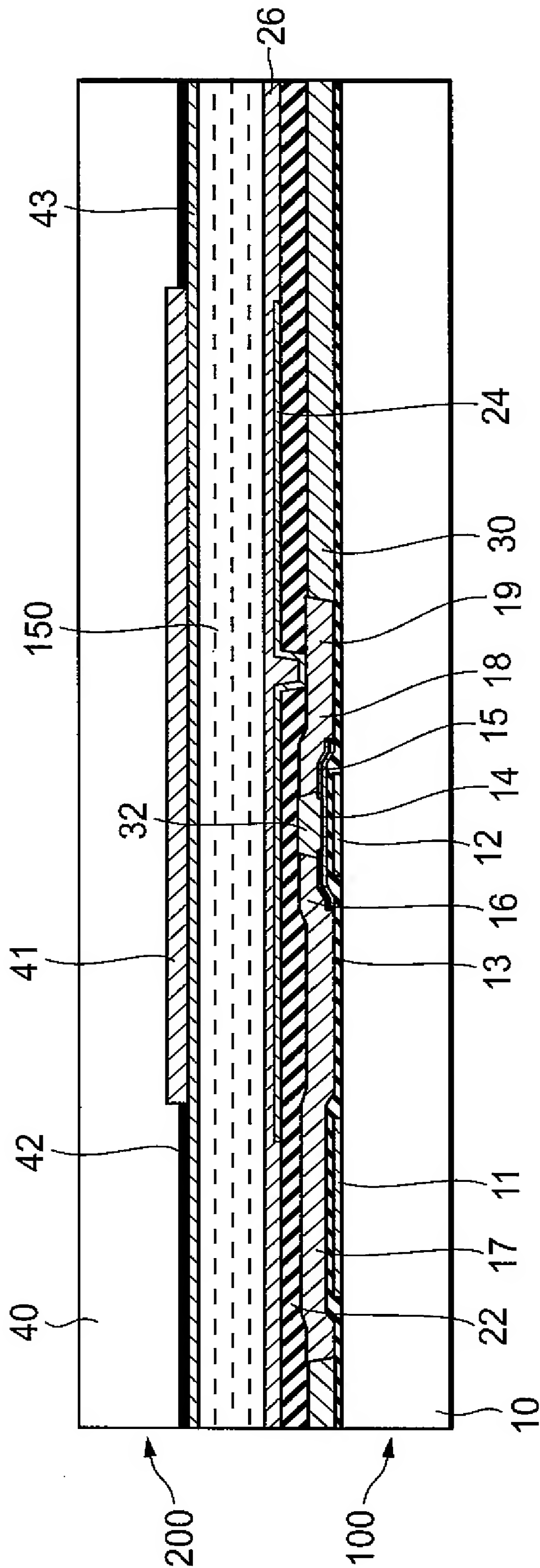
- [17] 請求項16に記載のアクティブマトリクス表示装置の製造方法において、前記フォトレジストを除去する工程は、前記チャネルとなる領域上のフォトレジストの残存厚さが素子領域の他の部分上の残存膜厚に比べ薄くなるように露光量を調整して該フォトレジストを露光する工程と、露光された該フォトレジストを現像し素子領域部以外のフォトレジストを除去してパターン状のフォトレジストを得る工程とを含み、前記保護膜を形成する工程は、前記パターン状のフォトレジストのうち前記半導体の選択的除去工程を経て残存する部分をマスクとして用いることを特徴とするアクティブマトリクス表示装置の製造方法。
- [18] 請求項16に記載のアクティブマトリクス表示装置の製造方法において、前記保護膜を形成する工程は直接窒化法であることを特徴とするアクティブマトリクス表示装置の製造方法。
- [19] 請求項12に記載のアクティブマトリクス表示装置の製造方法において、前記配線材料を溝内に充填する工程はスパッタ法、CVD法、めっき法、印刷法のいずれかによって行われることを特徴とするアクティブマトリクス表示装置の製造方法。
- [20] 請求項12に記載のアクティブマトリクス表示装置の製造方法において、前記印刷法はインクジェット印刷法またはスクリーン印刷法であることを特徴とするアクティブマトリクス表示装置の製造方法。
- [21] 前記表示装置は液晶表示装置であることを特徴とする請求項12から20のいずれかに記載のアクティブマトリクス表示装置の製造方法。
- [22] 前記表示装置は有機EL表示装置であることを特徴とする請求項12から20のいずれかに記載のアクティブマトリクス表示装置の製造方法。
- [23] 絶縁性基板上に形成された複数の薄膜トランジスタと、これら薄膜トランジスタに接続する配線とを有する薄膜トランジスタ集積回路装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とする薄膜トランジスタ集積回路装置。

- [24] 請求項23に記載の薄膜トランジスタ集積回路装置において、前記配線はゲート配線、ソース配線及びドレイン配線を含み、前記ゲート配線は少なくとも一つの前記薄膜トランジスタのゲート電極に接続され、前記ソース配線は少なくとも一つの前記薄膜トランジスタのソース電極に接続され、前記ドレイン配線は少なくとも一つの前記薄膜トランジスタのドレイン電極に接続され、前記平坦化層は前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線を囲み、前記ソース電極、前記ドレイン電極、前記ソース配線及び前記ドレイン配線の表面と前記平坦化層の表面とは実質的に同一平面を形成していることを特徴とする薄膜トランジスタ集積回路装置。
- [25] 請求項24に記載の薄膜トランジスタ集積回路装置において、前記薄膜トランジスタのゲート電極および前記ゲート配線を包囲するように絶縁膜が設けられ、前記薄膜トランジスタのゲート電極、前記ゲート配線および前記絶縁膜は実質的に同一な平坦な表面を形成し、前記薄膜トランジスタのゲート絶縁膜は前記平坦な表面上に形成されていることを特徴とする薄膜トランジスタ集積回路装置。
- [26] 絶縁性基板上にゲート電極およびゲート配線を形成する工程と、前記ゲート電極と前記ゲート配線とを覆うように絶縁膜を形成する工程と、該絶縁膜上に半導体層を形成する工程と、該半導体層上に平坦化層を形成する工程と、該平坦化層の一部を選択的に除去して前記半導体層に達する溝を形成する工程と、前記溝内に前記半導体層に達する配線部を前記配線部の表面と前記平坦化層の表面とが実質的に同一平面となるように形成する工程とを有することを特徴とする薄膜トランジスタ集積回路装置の製造方法。
- [27] 請求項26に記載の薄膜トランジスタ集積回路装置の製造方法において、前記配線部を形成する工程は配線形成補助層を形成する工程と配線材料を溝内に充填する工程とを含むことを特徴とする薄膜トランジスタ集積回路装置の製造方法。
- [28] 前記配線形成補助層はリフトオフ層、触媒層、撥水層のいずれかであることを特徴とする請求項27に記載の薄膜トランジスタ集積回路装置の製造方法。
- [29] 前記平坦化層が前記配線形成補助層を兼ねていることを特徴とする請求項27に記載の薄膜トランジスタ集積回路装置の製造方法。
- [30] 請求項26に記載の薄膜トランジスタ集積回路装置の製造方法において、前記半導

体層を選択的に形成する工程は、第1半導体の層を形成する工程と、前記第1半導体とは導電率の異なる第2半導体の層を前記第1半導体の層上に積層する工程と、第1半導体および第2半導体の積層膜上にフォトリジストを積層する工程と、前記フォトリジストのうち予め定められた素子領域上以外の部分の厚さ全体と該素子領域内のチャンネルとなる領域上の部分の膜厚の一部とを除去する工程と、残余のフォトリジストをマスクとして前記第1および第2半導体の積層膜のうち前記素子領域以外の部分および前記チャンネルとなる領域上の前記第2半導体の層を選択的にエッチング除去する工程と、前記第1半導体の層のうち該チャンネルとなる領域に選択的に保護膜を形成する工程とを含むことを特徴とする薄膜トランジスタ集積回路装置の製造方法。

- [31] 請求項30に記載の薄膜トランジスタ集積回路装置の製造方法において、前記フォトリジストを除去する工程は、前記チャンネルとなる領域上のフォトリジストの残存厚さが素子領域の他の部分上の残存膜厚に比べ薄くなるように露光量を調整して該フォトリジストを露光する工程と、露光された該フォトリジストを現像し素子領域部以外のフォトリジストを除去してパターン状のフォトリジストを得る工程とを含み、前記保護膜を形成する工程は、前記パターン状のフォトリジストのうち前記半導体の選択的除去工程を経て残存する部分をマスクとして用いることを特徴とする薄膜トランジスタ集積回路装置の製造方法。

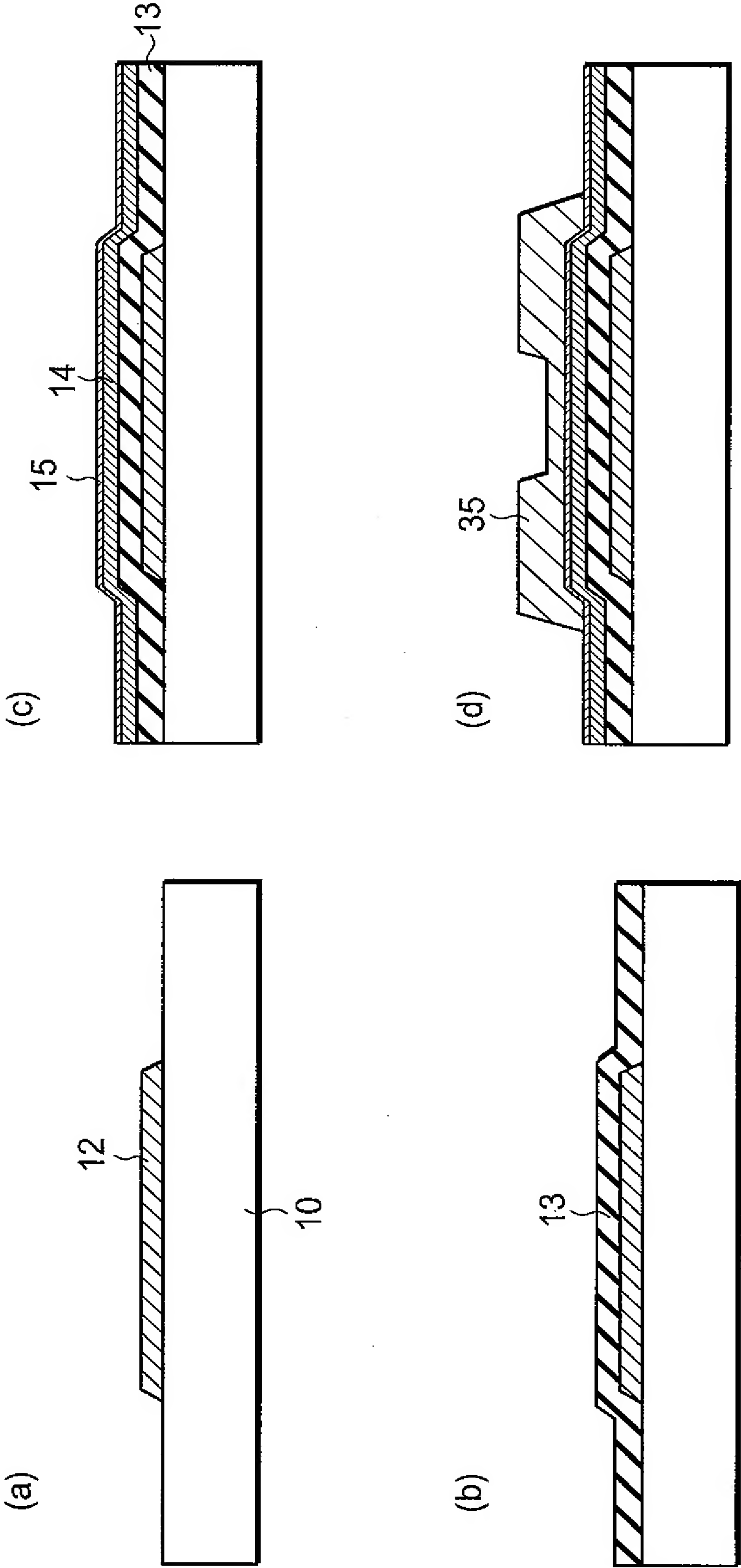
[図1]



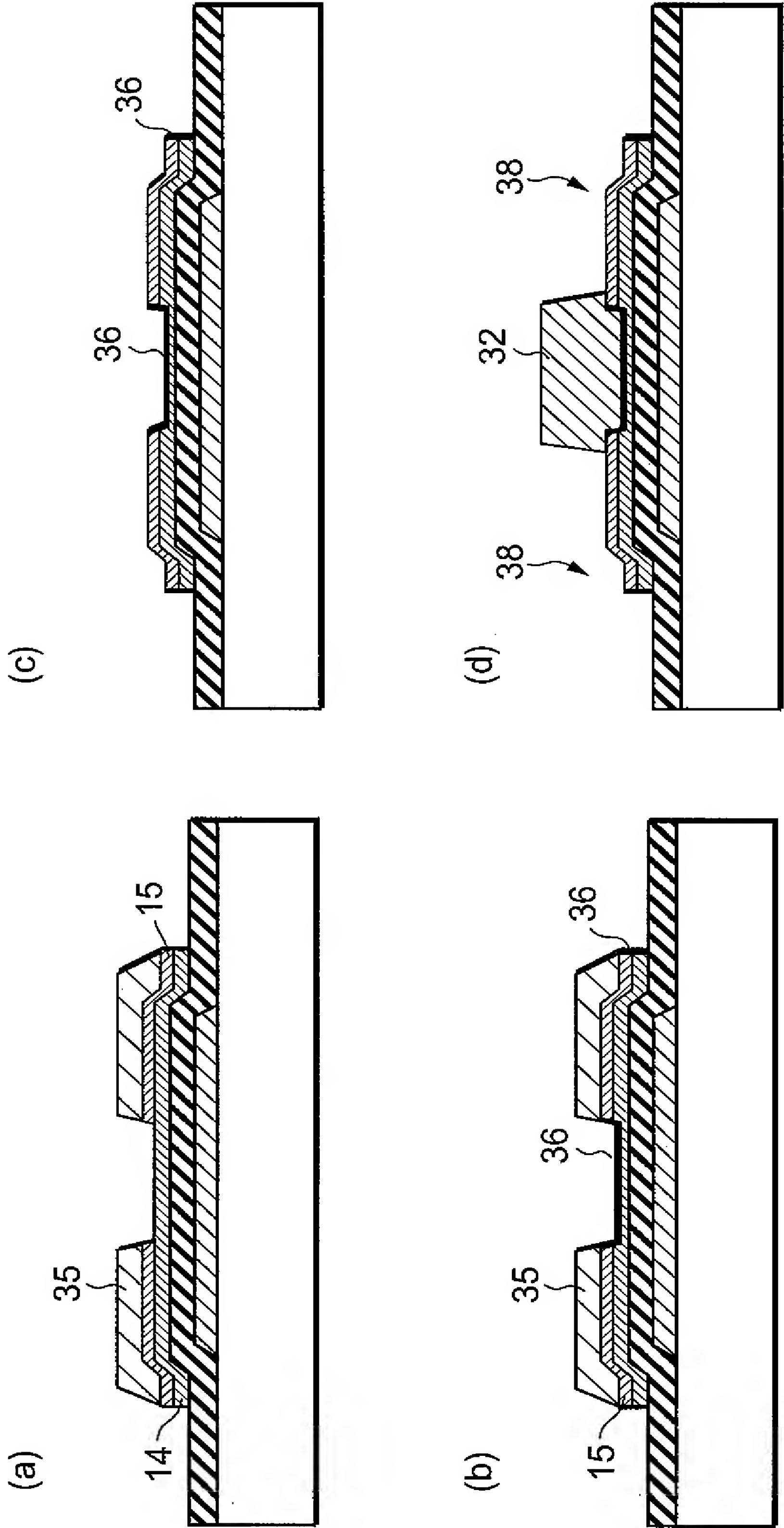


[図2]

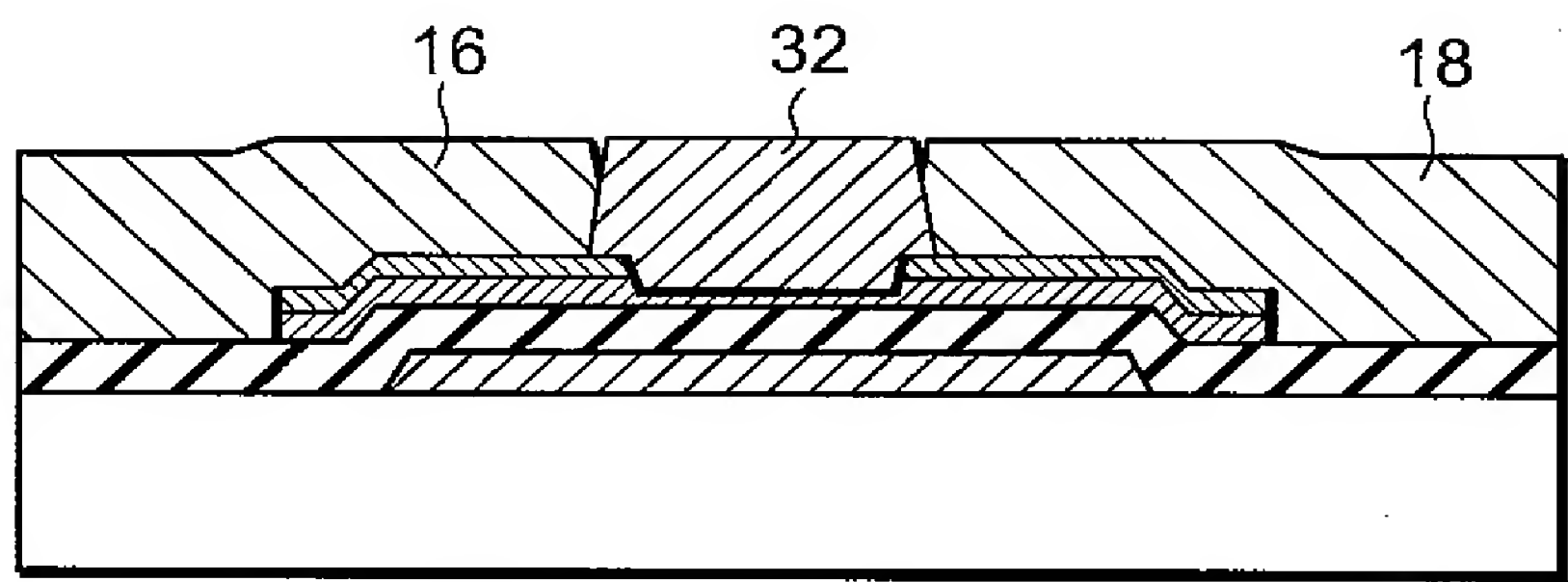
2/7



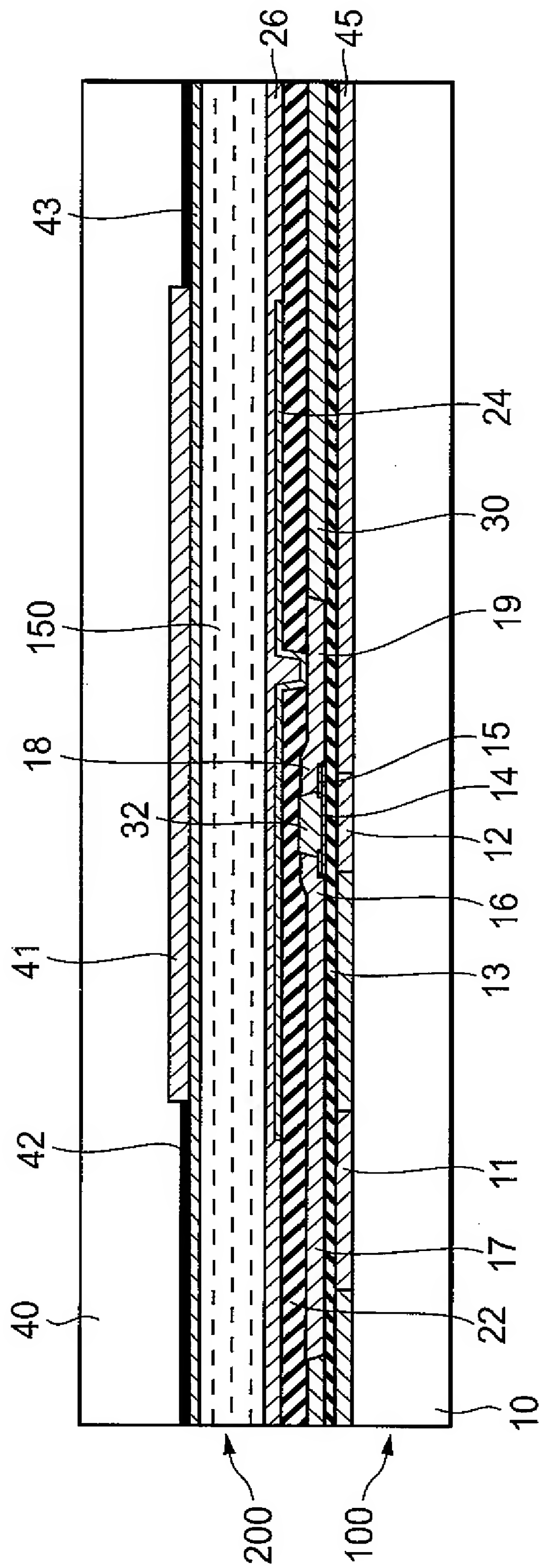
[図3]



[図4]

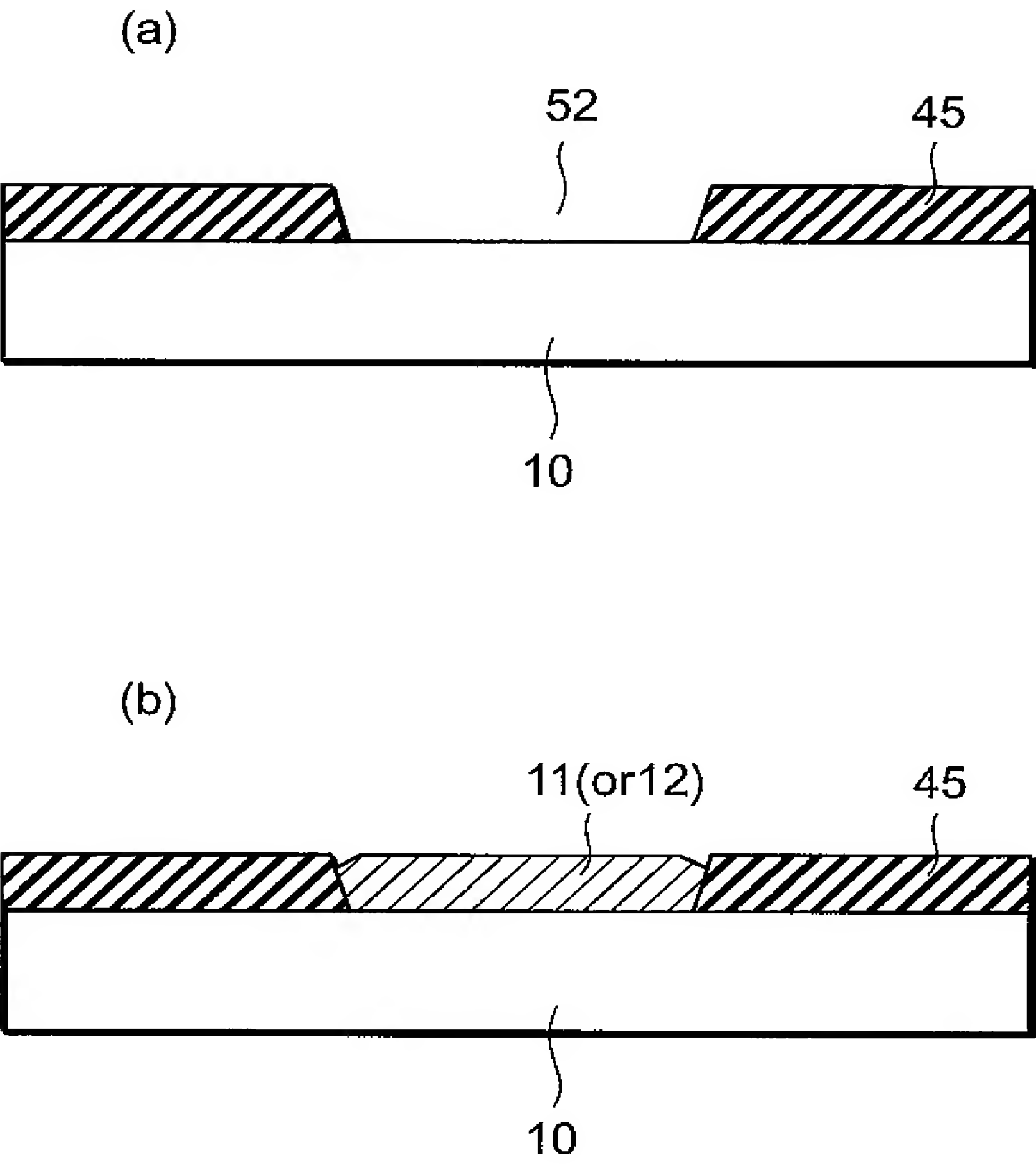


[図5]

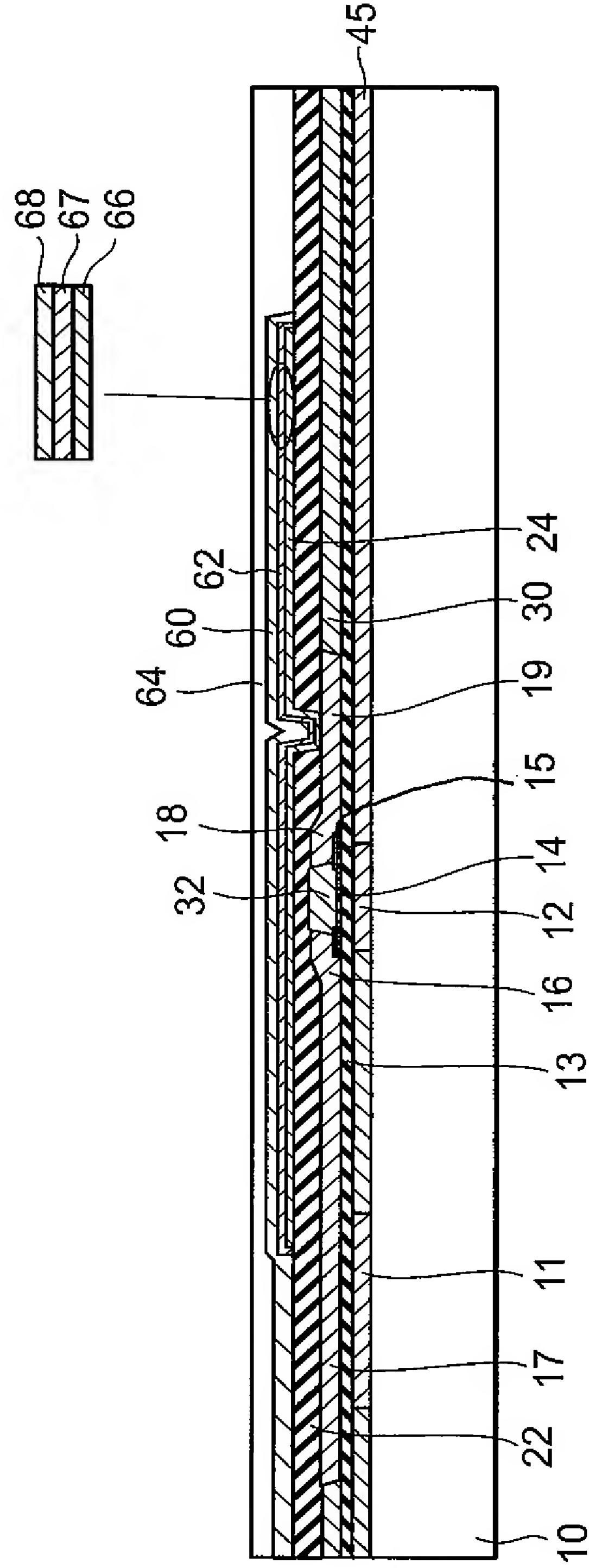




[図6]



[図7]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017557

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G09F9/30, G02F1/1368, H01L29/786, H01L21/3205, H05B33/14

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G09F9/30, G02F1/1368, H01L29/786, H01L21/3205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 4-334061 A (Fujitsu Ltd.), 20 November, 1992 (20.11.92),	1-5, 8, 10, 23-25
Y	Full text; all drawings (Family: none)	6, 7, 9, 11-13, 15-22, 26, 27, 29-31
X	JP 10-209463 A (Matsushita Electric Industrial Co., Ltd.),	1-5, 8, 10, 23-25
Y	07 August, 1998 (07.08.98), Full text; all drawings (Family: none)	6, 7, 9, 11-13, 15-22, 26, 27, 29-31
Y	JP 11-52574 A (JSR Corp.), 26 February, 1999 (26.02.99), Abstract (Family: none)	6

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
07 February, 2005 (07.02.05)Date of mailing of the international search report  
01 March, 2005 (01.03.05)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017557

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-296780 A (Nippon Zeon Co., Ltd.), 09 October, 2002 (09.10.02), Abstract (Family: none)	6
Y	JP 2-79308 A (Seiko Epson Corp.), 19 March, 1990 (19.03.90), Page 2, upper left column, line 5 to page 2, upper right column, line 18; Fig. 1 (Family: none)	7, 16-20, 22, 30, 31
Y	JP 4-305627 A (Sharp Corp.), 28 October, 1992 (28.10.92), Full text; all drawings (Family: none)	12, 13, 15-22, 26, 27, 29-31
Y	JP 1-68727 A (Casio Computer Co., Ltd.), 14 March, 1989 (14.03.89), Full text; all drawings (Family: none)	12, 13, 15-22, 26, 27, 29-31
Y	JP 2002-55364 A (Kabushiki Kaisha Hainikkusu Semiconductor), 20 February, 2002 (20.02.02), Par. Nos. [0002] to [0017]; Figs. 1 to 5 & US 2001/0049064 A1 & KR 2001108835 A & TW 505973 A	16-20, 22, 30, 31
Y	JP 3-116778 A (Matsushita Electric Industrial Co., Ltd.), 17 May, 1991 (17.05.91), Page 3, lower left column, line 13 to page 4, upper left column, line 17; Fig. 1 (Family: none)	16-20, 22, 30, 31
Y	JP 1-120070 A (NEC Corp.), 12 May, 1989 (12.05.89), Page 3, upper left column, line 18 to page 3, lower left column, line 16; Fig. 2 (Family: none)	16-20, 22, 30, 31
Y	JP 2003-37270 A (NEC Corp.), 07 February, 2003 (07.02.03), Par. Nos. [0049] to [0070], [0076]; Figs. 3, 4 & US 2002/0171084 A1 & KR 2002087892 A & TW 565940 A	16-20, 22, 30, 31



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/017557

**Box No. II      Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☒ Claims Nos.: 14, 28  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:  
As is described on the extra sheet, no specific method is given about the inventions of claims 14, 28 in the Description and the inventions are not disclosed clearly.
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III      Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-31 have a common technical feature relating to a thin film transistor integrated circuit device having a plurality of thin film transistors formed on the insulating substrate and wiring connecting these transistors, wherein a flattening layer is provided to surround the wiring and surface of the wiring forms substantially the same surface as the surface of the flattening layer.

(Continued to extra sheet)

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/017557

## Continuation of Box No.II-2 of continuation of first sheet(2)

When the descriptions of claims 15, 29 are referenced, claims 12, 27 are considered to include configuration in which the flattening layer does not serve as a wiring formation auxiliary layer.

However, the Description contains no specific description on the configuration that the flattening layer does not serve as the wiring formation auxiliary layer. There is no clear disclosure about the configuration.

Claims 14, 28 disclose the wiring formation auxiliary layer which is a lift-off layer, a catalyst layer, or a water-repelling layer.

However, about the configuration of the that the wiring formation auxiliary layer is a lift-off layer, a catalyst layer, or a water-repelling layer, only paragraph [0019] of the Description simply describes the lift-off layer and the water-repelling layer. No specific method is described at all. There is no clear disclosure about the configuration.

Because of the reasons given above, about claims 12-22, 26-31, the configuration that the flattening layer does not serve as the wiring formation auxiliary layer and the configuration that the wiring formation auxiliary layer is a lift-off layer, a catalyst layer, or a water-repelling layer (claims 14, 28) are not taken into consideration of the international search.

## Continuation of Box No.III of continuation of first sheet(2)

However, the search has revealed that the aforementioned thin film transistor integrated circuit device is a conventionally known technique. As a result, the thin film transistor integrated circuit device is not a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Accordingly, there exists no technical feature common to the claims.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09F9/30、G02F1/1368、H01L29/786、H01L21/3205、  
H05B33/14

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> G09F9/30、G02F1/1368、H01L29/786、H01L21/3205

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 4-334061 A (富士通株式会社)	1-5, 8, 10, 23-25
Y	1992. 11. 20 全文、全図 (ファミリーなし)	6, 7, 9, 11-13, 15-22, 26, 27, 29-31
X	J P 10-209463 A (松下電器産業株式会社)	1-5, 8, 10, 23-25
Y	1998. 08. 07 全文、全図 (ファミリーなし)	6, 7, 9, 11-13, 15-22, 26, 27, 29-31

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

07. 02. 2005

国際調査報告の発送日

01. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

伊藤 昌哉

2M

8808

電話番号 03-3581-1101 内線 3274

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 11-52574 A (ジェイエスアール株式会社) 1999. 02. 26 要約 (ファミリーなし)	6
Y	J P 2002-296780 A (日本ゼオン株式会社) 2002. 10. 09 要約 (ファミリーなし)	6
Y	J P 2-79308 A (セイコーエプソン株式会社) 1990. 03. 19 第2頁左上欄第5行—第2頁右上欄第18行、図1 (ファミリーなし)	7, 16-20, 22, 30, 31
Y	J P 4-305627 A (シャープ株式会社) 1992. 10. 28 全文、全図 (ファミリーなし)	12, 13, 15-22, 26, 27, 29-31
Y	J P 1-68727 A (カシオ計算機株式会社) 1989. 03. 14 全文、全図 (ファミリーなし)	12, 13, 15-22, 26, 27, 29-31
Y	J P 2002-55364 A (株式会社ハイニックスセミコン ダクター) 2002. 02. 20 段落【0002】—【0017】、図1—5 &US 2001/0049064 A1 &KR 2001108835 A &TW 505973 A	16-20, 22, 30, 31
Y	J P 3-116778 A (松下電器産業株式会社) 1991. 05. 17 第3頁左下欄第13行—第4頁左上欄第17行、図1 (ファミリーなし)	16-20, 22, 30, 31
Y	J P 1-120070 A (日本電気株式会社) 1989. 05. 12 第3頁左上欄第18行—第3頁左下欄第16行、図2 (ファミリーなし)	16-20, 22, 30, 31
Y	J P 2003-37270 A (日本電気株式会社) 2003. 02. 07 段落【0049】—【0070】、【0076】、図3、4 &US 2002/0171084 A1 &KR 2002087892 A &TW 565940 A	16-20, 22, 30, 31



## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☒ 請求の範囲 14、28 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、  
特別ページに記載したように、請求の範囲14、28にかかる発明について、明細書には、具体的な方法が全く記載されておらず、どのような構成を示すのかが明確に開示されていない。
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-31に記載された発明は、共通の技術事項として、絶縁性基板上に形成された複数の薄膜トランジスタと、これらトランジスタ接続する配線とを有する薄膜トランジスタ集積回路装置において、前記配線を囲む平坦化層を備え、前記配線の表面と前記平坦化層の表面とは実質的に同一平面を形成している薄膜トランジスタ集積回路装置を有している。

しかし、上記の薄膜トランジスタ集積回路装置は、調査の結果、従来から知られている先行技術であることが明らかになった。結果として、上記の薄膜トランジスタ集積回路装置は、PCT規則13.2の第2文の意味において、特別な技術的特徴ではない。

それ故、上記各請求の範囲に共通の技術事項はない。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲15、29の記載を参照すると、請求の範囲12、27は、平坦化層が配線形成補助層を兼ねない構成も含むと認められる。

しかし、明細書には、平坦化層が配線形成補助層を兼ねない構成についての具体的な記載はなく、どのような構成を示すのかが明確に開示されているとは認められない。

請求の範囲14、28には、配線形成補助層がリフトオフ層、触媒層、撥水層のいずれかである構成が記載されている。

しかし、配線形成補助層がリフトオフ層、触媒層、撥水層のいずれかである構成については、明細書[0019]に、リフトオフ層、撥水層についての簡単な記載があるのみで、具体的な方法が全く記載されておらず、どのような構成を示すのかが明確に開示されていない。

以上のことから、請求の範囲12-22、26-31については、平坦化層が配線形成補助層を兼ねない構成、及び、配線形成補助層がリフトオフ層、触媒層、撥水層のいずれかである構成（請求の範囲14、28）については、国際調査の対象としていない。